

(1) Korean Patent Application Laid-Open No. 2000-0038332 "Manufacturing Method of Semiconductor Element"

The following is English translation of an extract from the above-identified document relevant to the present application.

The present invention relates to a manufacturing method of a semiconductor element by which overwrap margin can be increased by increasing the dimension of a plug layer without an additional photo process. The method according to the present invention comprises the steps of etching an insulating layer formed on a semiconductor substrate to form a contact hole, forming a buffer oxide film and a first plug-forming material layer on the whole surface and etching the same so that the contact hole remains only on the sidewall to form a first plug layer, removing one of the layers on the upper portion of the insulating layer where the contact hole is formed to completely expose a layer on a part of the upper portion of the first plug layer, and forming a second plug-forming material layer on the hole surface so that the contact hole is completely berried to form a second plug layer in such a manner that the second plug-forming material layer remains as a sidewall on the side surface of the first plug layer.

공개특허특2000-0038332

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. ⁶
H01L 21/77(11) 공개번호 특2000-0038332
(43) 공개일자 2000년07월05일(21) 출원번호 10-1998-0053292
(22) 출원일자 1998년12월05일(71) 출원인 현대반도체 주식회사 김영환
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 김병국
대전광역시 중구 옥계동 170-92
(74) 대리인 김용인
강용복

심사청구 : 없음

(54) 반도체 소자의 제조 방법

요약

본 발명은 포토 공정의 추가없이 플러그층의 면적을 증가시켜 오버랩 마진을 증가시킬 수 있도록한 반도체 소자의 제조 방법에 관한 것으로, 반도체 기판상에 형성된 절연층들을 식각하여 콘택홀을 형성하는 공정,전면에 버퍼 산화막과 제 1 플러그 형성 물질층을 형성하고 콘택홀을 측벽에만남도록 식각하여 플러그 제 1 층을 형성하는 공정,콘택홀이 형성된 절연층들의 상부 어느 한층을 제거하여 플러그 제 1 층의 상부 일부층이 완전 노출되도록하는 공정,콘택홀이 완전 매립되도록 전면에 제 2 플러그 형성 물질층을 형성하고 플러그 제 1 층의 측면에 측벽 형태로 제 2 플러그 형성 물질층이 남도록하여 플러그 제 2 층을 형성하는 공정을 포함하여 이루어진다.

대표도

도2f

명세서

도면의 간단한 설명

도 1a내지 도 1d는 종래 기술의 반도체 소자의 공정 단면도
도 2a내지 도 2f는 본 발명에 따른 반도체 소자의 공정 단면도
도면의 주요부분에 대한 부호의 설명
21. 반도체 기판 22. 소자 격리층
23. 웰 영역 24. 게이트 산화막
25. 게이트 전극 26. 게이트 캡층
27. 제 1 ILD층 28. 제 2 ILD층

29. 콘택홀 30. 버퍼 산화막

31. 제 1 플러그 형성 물질층 31a. 플러그 제 1 층

32. 제 2 플러그 형성 물질층 32a. 플러그 제 2 층

33. 플러그층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 반도체 소자에 관한 것으로, 특히 포토 공정의 추가없이 플러그층의 면적을 증가시켜 오버랩 마진을 증가시킬 수 있도록 한 반도체 소자의 제조 방법에 관한 것이다.

이하, 첨부된 도면을 참고하여 종래 기술의 반도체 소자의 제조 공정에 관하여 설명하면 다음과 같다.

도 1a내지 도 1d는 종래 기술의 반도체 소자의 공정 단면도이다.

종래 기술의 플러그층 형성 공정은 먼저, 도 1a에서와 같이, 반도체 기판(1)의 소자 격리 영역에 소자 격리층(2)을 형성하여 활성 영역을 정의한다.

이어, 상기 활성 영역에 웰 영역(3)을 형성한다.

그리고 전면에 게이트 산화막(4)을 형성하고 게이트 형성용 물질층, 게이트 캡 절연 물질층 예를들면, 질화막 등을 증착한후 포토리소그래피 공정으로 선택적으로 패터닝하여 게이트(5)와 게이트 캡층(6)을 형성한다.

이때, 도면에 도시하지 않았지만, 게이트(5)와 게이트 캡층(6)을 마스크로하여 불순물이 주입되어 기판에 소오스/드레인 영역이 형성된다.

이어, 게이트(5)를 포함하는 전면에 질화막과 같은 물질을 사용하여 제 1 ILD(InterLayer Dielectric)층(7)을 형성하고 산화막 등의 물질을 사용하여 평탄화된 제 2 ILD층(8)을 형성한다.

제 2 ILD층(8)은 CMP(Chemical Mechanical Polishing) 또는 어닐 공정으로 평탄화 한다.

그리고 도 1b에서와 같이, 제 2 ILD층(8)을 포토리소그래피 공정으로 패터닝하여 그를 마스크로 제 1 ILD층(7)을 식각하고 셀프 얼라인 공정으로 기판을 노출시켜 플러그층을 형성하기 위한 콘택홀(9)을 형성한다.

이어, 도 1c에서와 같이, 콘택홀(9)을 포함하는 전면에 플러그 형성 물질층(10)을 형성한다.

그리고 도 1d에서와 같이, 플러그 형성 물질층(10)을 제 2 ILD층(8)의 표면이 노출되도록 에치 백하여 소오스/드레인의 어느 한 영역에 콘택되는 플러그층(10a)을 형성한다.

이와 같은 종래 기술의 플러그층 형성 공정은 게이트 전극간의 이격 거리에 따라 콘택홀 크기가 정해지므로 패턴 치수가 작아질수록 공정 마진이 줄어들게 된다.

발명이 이루고자하는 기술적 과제

이와 같은 종래 기술의 반도체 소자의 플러그층 형성 공정은 다음과 같은 문제가 있다.

소자가 고집적화 될 수록 패턴 치수가 감소하여 플러그층 형성 면적이 줄어들게 된다.

이는 공정 진행시에 오버랩 마진을 감소시켜 포토리소그래피 공정의 해상력 이하의 미세 패턴을 형성할 수 없는 문제를 발생시킨다.

본 발명은 이와 같은 종래 기술의 반도체 소자의 제조 공정의 문제를 해결하기 위하여 안출한 것으로, 포토 공정의 추가없이 플러그층의 면적을 증가시켜 오버랩 마진을 증가시킬 수 있도록한 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

포토 공정의 추가없이 플러그층의 면적을 증가시켜 오버랩 마진을 증가시킬 수 있도록한 본 발명에 따른 반도체 소자의 제조 방법은 반도체 기판상에 형성된 절연층들을 식각하여 콘택홀을 형성하는 공정, 전면에 버퍼 산화막과 제 1 플러그 형성 물질층을 형성하고 콘택홀을 측벽에만 남도록 식각하여 플러그 제 1 층을 형성하는 공정, 콘택홀이 형성된 절연층들의 상부 어느 한층을 제거하여 플러그 제 1 층의 상부 일부층이 완전 노출되도록하는 공정, 콘택홀이 완전 매립되도록 전면에 제 2 플러그 형성 물질층을 형성하고 플러그 제 1 층의 측면에 측벽 형태로 제 2 플러그 형성 물질층이 남도록하여 플러그 제 2 층을 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참고하여 본 발명에 따른 반도체 소자의 제조 방법에 관하여 상세히 설명하면 다음과 같다.

도 2a내지 도2f는 본 발명에 따른 반도체 소자의 공정 단면도이다.

플러그층 형성시에 포토 공정에 의해 공정을 진행하는 경우 플러그간의 쇼트를 방지하기 위하여 일정 거리를 두어야 하므로 플러그층의 표면적 증가에는 제약이 있다.

본 발명에 따른 반도체 소자 제조 공정은 추가적인 포토 공정없이 폴리 실리콘 측벽을 이용하여 플러그층의 표면적을 증가시킬수 있도록한 것이다.

그 제조 공정은 다음과 같이 진행한다.

먼저, 도 2a에서와 같이, 반도체 기판(21)의 소자 격리 영역에 소자 격리층(22)을 형성하여 활성 영역을 정의한다.

이어, 상기 활성 영역에 웰 영역(23)을 형성한다.

그리고 전면에 게이트 산화막(24)을 형성하고 게이트 형성용 물질층, 게이트 캡 절연 물질층 예를들면, 질화막 등을 증착한후 포토 리소그래피 공정으로 선택적으로 패터닝하여 게이트 전극(25)과 게이트 캡층(26)을 형성한다.

이때, 도면에 도시하지 않았지만, 게이트 전극(25)과 게이트 캡층(26)을 마스크로하여 불순물이 주입되어 기판에 소오스/드레인 영역이 형성된다.

이어, 게이트 전극(25)을 포함하는 전면에 질화막과 같은 물질을 사용하여 제 1 ILD(InterLayer Dielectric)층(27)을 형성하고 산화막 등의 물질을 사용하여 평탄화된 제 2 ILD층(28)을 형성한다.

제 2 ILD층(28)은 CMP(Chemical Mechanical Polishing) 또는 어닐 공정으로 평탄화 한다.

그리고 도 2b에서와 같이, 제 2 ILD층(28)을 포토리소그래피 공정으로 패터닝하여 그를 마스크로 제 1 ILD층(27)을 식각하고 셀프 얼라인 공정으로 기판을 노출시켜 플러그층을 형성하기 위한 콘택홀(29)을 형성한다.

이어, 도 2c에서와 같이, 콘택홀(29)을 포함하는 전면에 버퍼 산화막(30), 제 1 플러그 형성 물질층(31)을 형성한다.

그리고 도 2d에서와 같이, 제 1 플러그 형성 물질층(31)을 전면 건식각하여 콘택홀(29)의 측면에 측벽 형태로 남겨 플러그 제 1 층(31a)을 형성한다.

이때, 버퍼 산화막(30)은 노출된 상태로 남겨지고 제 2 ILD층(28)은 제거된다.

이어, 도 2e에서와 같이, 상기 플러그 제 1 층(31a)이 형성된 콘택홀(29) 전체를 매립하도록 전면에 제 2 플러그 형성 물질층(32)을 형성한다.

그리고 도 2f에서와 같이, 제 2 플러그 형성 물질층(32)을 에치백하여 플러그 제 2 층(32a)을 형성한다.

여기서, 플러그 제 2 층(32a)은 제 2 ILD층(28)이 제거된 부분에 측벽 형태로 남아 ㉠부분에서와 같이 면적이 확장된 부분을 갖는 플러그층(33)이 형성된다.

플러그층(33)의 형성 물질은 폴리 실리콘층 또는 텅스텐 등과 같은 고용점 금속층이 사용된다.

이와 같은 본 발명에 따른 반도체 소자의 플러그층 형성 공정은 측벽 형태의 플러그 제 1 층과 플러그 제 1 층을 이용하여 플러그 제 2 층을 측벽 형태로 남겨 면적을 확장한 플러그층을 형성할 수 있다.

발명의 효과

이와 같은 본 발명에 따른 반도체 소자의 제조 방법은 다음과 같은 효과가 있다.

소자의 고집적화에 관계없이 플러그층의 유효 면적을 용이하게 확보할 수 있어 소자의 제조 공정이 효율적으로 진행되도록 한다.

이는 추가 포토리소그래피 공정없이 플러그층의 유효 면적을 확보하므로 후속 공정시의 오버랩 마진을 충분히 확보할 수 있는 효과가 있다.

(57)청구의 범위

청구항1

반도체 기판상에 형성된 절연층들을 식각하여 콘택홀을 형성하는 공정,

전면에 버퍼 산화막과 제 1 플러그 형성 물질층을 형성하고 콘택홀을 측벽에만 남도록 식각하여 플러그 제 1 층을 형성하는 공정,

콘택홀이 형성된 절연층들의 상부 어느 한층을 제거하여 플러그 제 1 층의 상부 일부층이 완전 노출되도록 하는 공정,

콘택홀이 완전 매립되도록 전면에 제 2 플러그 형성 물질층을 형성하고 플러그 제 1 층의 측면에 측벽 형태로 제 2 플러그 형성 물질층이 남도록하여 플러그 제 2 층을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항2

제 1 항에 있어서, 콘택홀을 반도체 기판의 소자 격리 영역에 소자 격리층을 형성하여 활성 영역을 정의하는 공정,

상기 활성 영역에 웰 영역을 형성하고 전면에 게이트 산화막을 형성하고 게이트 형성용 물질층, 게이트 캡 절연 물질층을 증착한 후 포토리소그래피 공정으로 선택적으로 패터닝하여 게이트 전극과 게이트 캡층을 형성하는 공정,

게이트 전극을 포함하는 전면에 제 1,2 ILD층을 차례로 형성하는 공정을 진행한후에 상기 제 2 ILD층을 평탄화하고 선택적으로 패터닝하여 그를 마스크로 제 1 ILD층을 식각하고 셀프 얼라인 공정으로 기판을 노출시켜 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항3

제 2 항에 있어서, 제 2 ILD층을 CMP 또는 어닐 공정으로 평탄화하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항4

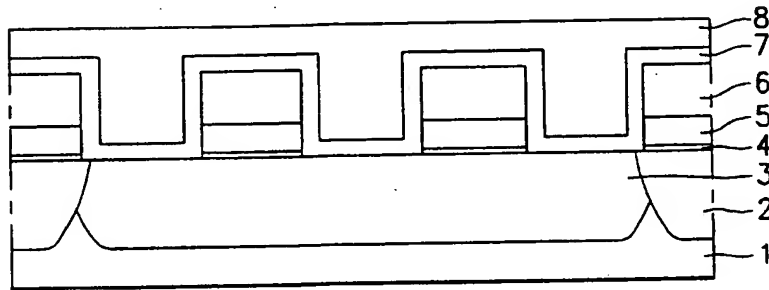
제 2 항에 있어서, 제 1,2 ILD층을 식각 선택비를 갖는 서로 다른 물질을 사용하여 형성하는 것을 반도체 소자의 제조 방법.

청구항5

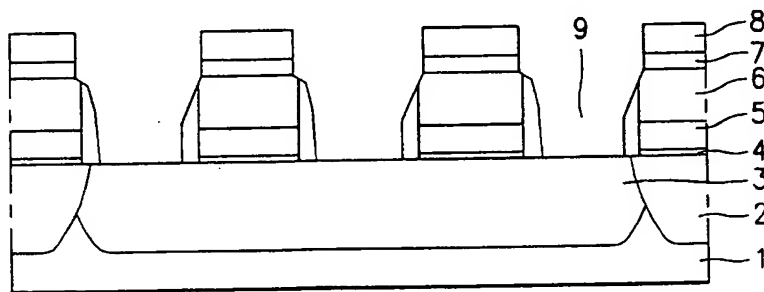
제 1 항에 있어서, 플러그층을 폴리 실리콘층 또는 텅스텐등과 같은 고용점 금속층으로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

도면

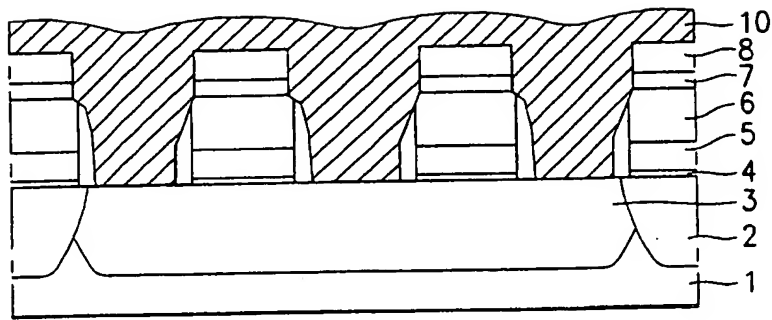
도면1a



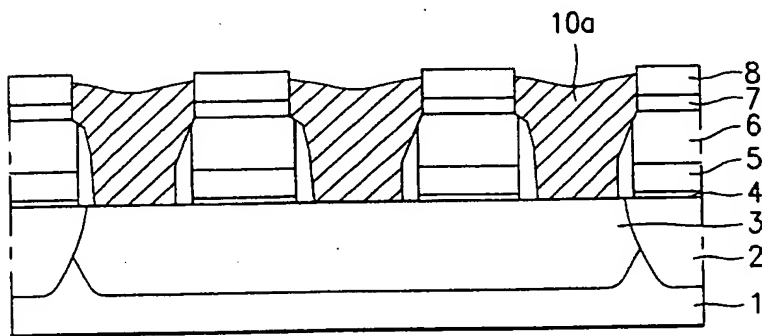
도면1b



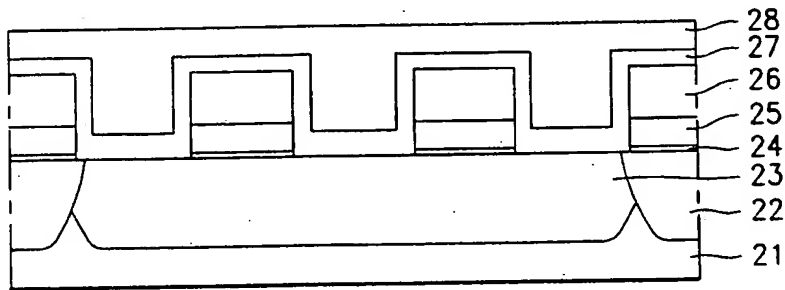
도면1c



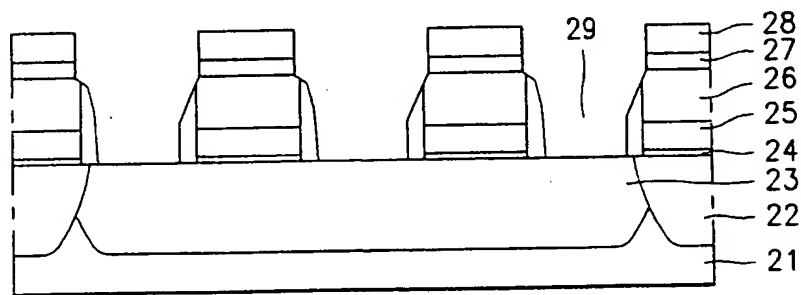
도면1d



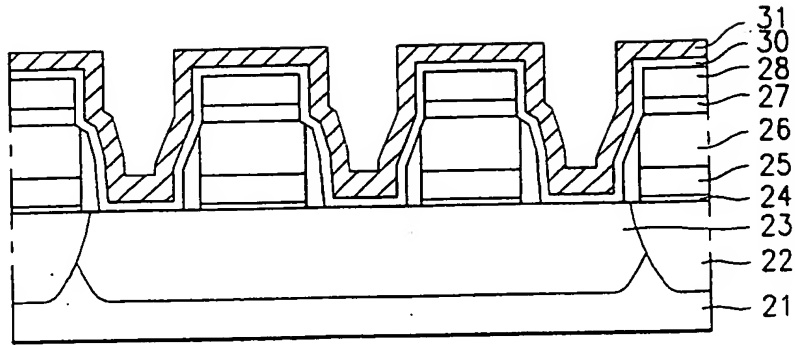
도면2a



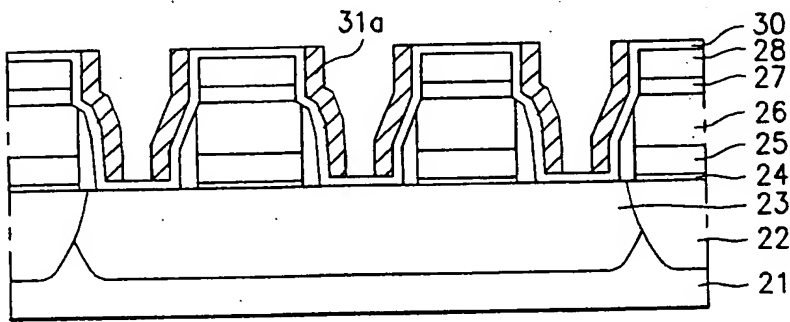
도면2b



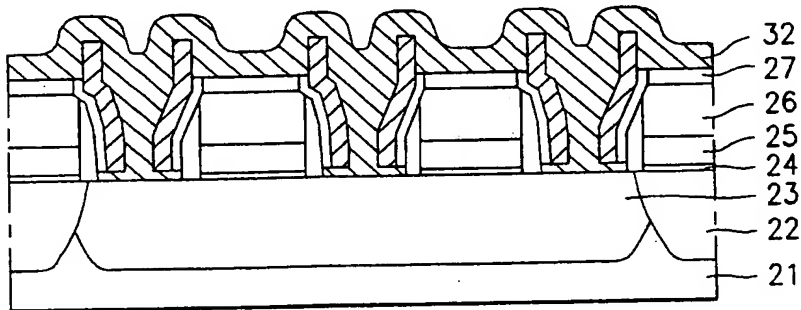
도면2c



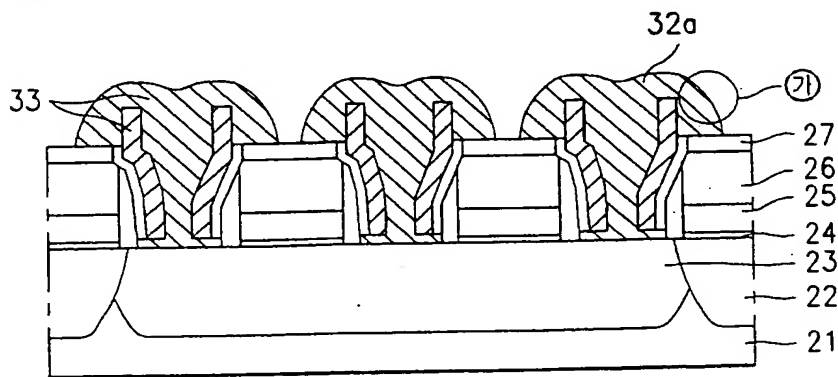
도면2d



도면2e



도면2f



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.